

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年2月24日 (24.02.2005)

PCT

(10) 国際公開番号
WO 2005/018001 A1

(51) 国際特許分類⁷: H01L 25/04, 23/36
(21) 国際出願番号: PCT/JP2004/007264
(22) 国際出願日: 2004年5月27日 (27.05.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-294208 2003年8月18日 (18.08.2003) JP

(71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 金沢 正喜 (KANAZAWA, Masaki) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).

(74) 代理人: 清水 敬一 (SHIMIZU, Keiichi); 〒1530061 東京都目黒区中目黒3丁目1番5号 YK中目黒ビル3階 好和特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

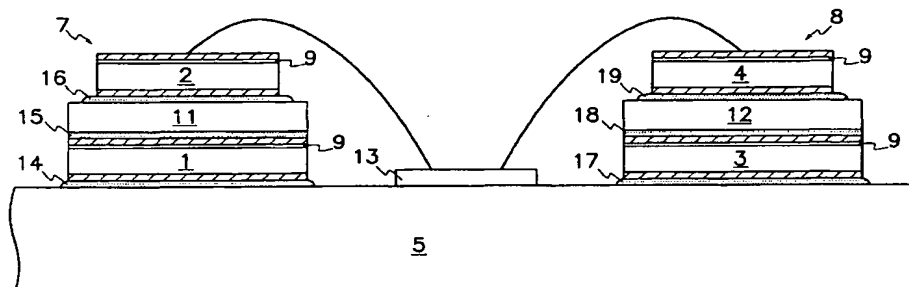
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(続葉有)

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprising a support plate (5) having a heat dispersion characteristic; and first and second semiconductor elements (1,2) sequentially deposited and fixed over the support plate (5) and caused to perform alternate switching operations. Sequentially depositing and fixing the first and second semiconductor elements (1,2) over the support plate (5) can reduce the footprint on the support plate (5) and improve the integration degree. Causing the first and second semiconductor elements (1,2) to perform alternate switching operations can reduce the heating values of the first and second semiconductor elements (1,2). Thus, a plurality of semiconductor elements of a semiconductor device can be deposited on a small area and the semiconductor device can be caused to operate with a desirable heat dispersion characteristic.

(57) 要約: 放熱性を有する支持板(5)と、支持板(5)上に順次積層されて固着され且つ交互にスイッチング動作される第1の半導体素子(1)及び第2の半導体素子(2)とを半導体装置に設ける。第1の半導体素子(1)と第2の半導体素子(2)とを順次支持板(5)上に積層して固着すると、支持板(5)の占有面積を減少しつつ集積度を向上でき、第1の半導体素子(1)及び第2の半導体素子(2)とを交互にスイッチング動作させて、第1の半導体素子(1)及び第2の半導体素子(2)の発生熱量を抑制することができる。半導体装置の複数の半導体素子を小さい面積に積層して、半導体装置を良好な放熱特性で作動できる。



WO 2005/018001 A1

WO 2005/018001 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置

技術分野

[0001] 本発明は、半導体装置に係り、詳細には単一の支持板上に複数のパワー半導体素子を搭載して小型化に製造できる半導体装置に関する。

背景技術

[0002] 図3に示すH型ブリッジ回路(10)を単一の半導体装置で構成する場合、H型ブリッジ回路(10)は、ハイサイド側の第1のトランジスタ(1)及び第3のトランジスタ(3)と、ローサイド側の第2のトランジスタ(2)及び第4のトランジスタ(4)とを備えている。第1のトランジスタ(1)のエミッタ電極と第2のトランジスタ(2)のコレクタ電極との接続点(A1)と、第3のトランジスタ(3)のエミッタ電極と第4のトランジスタ(4)のコレクタ電極との接続点(A2)との間には、交流電流により駆動される例えば冷陰極蛍光放電管である負荷(6)が接続される。

H型ブリッジ回路(10)を作動する際に、第1のトランジスタ(1)及び第4のトランジスタ(4)と、第2のトランジスタ(2)及び第3のトランジスタ(3)とを交互にオン・オフ動作させて、スイッチング作動させることにより、接続点(A1)と(A2)との間に交互に逆方向の電流を流して、負荷(6)を作動させることができる。このように、第1のトランジスタ(1)から第4のトランジスタ(4)までのスイッチング動作を行ない、直流電圧源を使用し、接続点(A1)と(A2)との間に接続された冷陰極蛍光放電管等を点灯させることができる。

[0003] 特許文献1:特開昭55-111151号公報

発明の開示

発明が解決しようとする課題

[0004] 図3に示すH型ブリッジ回路(10)を単一の半導体装置に構築するとき、4つの第1のトランジスタ(1)から第4のトランジスタ(4)までとその制御用ICを搭載する支持板(図示せず)の平面面積が大きくなるため、半導体装置のサイズが増大する欠点がある。そこで、例えば特許文献1に開示される2つの半導体素子の積層技術を適用して、半導体装置の平面面積を縮小することができる。特許文献1は、非導電性接着剤を介

して2つの半導体素子を積層した電子部品を示す。しかしながら、パワー半導体素子を積層するH型ブリッジ回路では、単に半導体素子を積層しても、動作時に半導体素子の発熱が集中して、良好な放熱特性が得られず、半導体素子の電氣的特性が劣化するおそれがあった。

そこで、本発明の目的は、複数の半導体素子を小さい面積に積層し且つ良好な放熱特性で作動できる半導体装置を提供することにある。

課題を解決するための手段

- [0005] 第一の本発明による半導体装置は、放熱性を有する支持板(5)と、支持板(5)上に順次積層されて固着され且つ交互にスイッチング動作される第1の半導体素子(1)及び第2の半導体素子(2)とを備えている。第1の半導体素子(1)及び第2の半導体素子(2)を順次支持板(5)上に積層して固着すると、支持板(5)の占有面積を減少しつつ集積度を向上することができる。また、第1の半導体素子(1)と第2の半導体素子(2)とを交互にスイッチング動作させるので、一方がオンのとき他方がオフとなり、第1の半導体素子(1)と第2の半導体素子(2)の発生熱量を抑制することができる。
- [0006] 第二の本発明による半導体装置は、放熱性を有する支持板(5)と、支持板(5)上に順次積層されて固着された第1の半導体素子(1)及び第2の半導体素子(2)を有する第1の半導体素子積層体(7)と、支持板(5)上に順次積層されて固着された第3の半導体素子(3)及び第4の半導体素子(4)を有する第2の半導体素子積層体(8)とを備え、第1の半導体素子積層体(7)の第1の半導体素子(1)及び第2の半導体素子(2)と、第2の半導体素子積層体(8)の第3の半導体素子(3)及び第4の半導体素子(4)とは、H型ブリッジ回路(10)を構成する。第1の半導体素子(1)から第4の半導体素子(4)までの各々は、スイッチング素子を有し、第1の半導体素子(1)及び第4の半導体素子(4)と第2の半導体素子(2)及び第3の半導体素子(3)とは交互にスイッチング動作される。第1の半導体素子(1)及び第4の半導体素子(4)並びに第2の半導体素子(2)及び第3の半導体素子(3)のスイッチング素子を交互にスイッチング動作させることにより、直流電源に接続したH型ブリッジ回路(10)の負荷(6)を交流電流で駆動することができる。
- [0007] 第三の本発明による半導体装置は、放熱性を有する支持板(5)と、支持板(5)上に順次積層されて固着されたパワー半導体素子により各々構成された第1の半導体素子

(1)及び第2の半導体素子(2)とを備えている。第1の半導体素子(1)及び第2の半導体素子(2)の各々はスイッチング素子を有する。第1の半導体素子(1)と第2の半導体素子(2)との間に放熱層(11)が固着され、第1の半導体素子(1)と第2の半導体素子(2)とは、放熱層(11)を介して電氣的に互いに接続される。大電流が流れる第1の半導体素子(1)及び第2の半導体素子(2)から多量の発熱が発生しても、第1の半導体素子(1)と第2の半導体素子(2)との間に固着された放熱層(11)を通じて十分な量の熱を放出できるので、第1の半導体素子(1)と第2の半導体素子(2)の電氣的特性は劣化しない。

[0008] 第四の本発明による半導体装置は、放熱性を有する支持板(5)と、支持板(5)上に順次積層されて固着されたパワー半導体素子により各々構成される第1の半導体素子(1)及び第2の半導体素子(2)を有する第1のパワー半導体素子積層体(7)と、支持板(5)上に順次積層されて固着されたパワー半導体素子により各々構成される第3の半導体素子(3)及び第4の半導体素子(4)を有する第2のパワー半導体素子積層体(8)とを備えている。第1の半導体素子(1)、第2の半導体素子(2)、第3の半導体素子(3)及び第4の半導体装置(4)の各々はスイッチング素子を有する。第1の半導体素子(1)と第2の半導体素子(2)との間に第1の放熱層(11)が固着され、第3の半導体素子(3)と第4の半導体素子(4)との間に第2の放熱層(12)が固着される。第1の半導体素子(1)と第2の半導体素子(2)とは、第1の放熱層(11)を介して電氣的に互いに接続され、第3の半導体素子(3)と第4の半導体素子(4)とは、第2の放熱層(12)を介して電氣的に互いに接続される。単一の支持板(5)上に第1のパワー半導体素子積層体(7)と第2のパワー半導体素子積層体(8)とを固着しても、第1の半導体素子(1)と第2の半導体素子(2)との間及び第3の半導体素子(3)と第4の半導体素子(4)との間に固着される第1及び第2の放熱層(11,12)を通じて十分な量の熱を放出できるので、第1の半導体素子(1)から第4の半導体素子(4)までの電氣的特性は劣化しない。更に、第1の半導体素子(1)と第2の半導体素子(2)及び第3の半導体素子(3)と第4の半導体素子(4)とを第1及び第2の放熱層(11,12)を介して電氣的に互いに接続するので、第1のパワー半導体素子積層体(7)と第2のパワー半導体素子積層体(8)とに流れる電流の結線経路を短縮して、電流の結線経路の延長によるノイズ発生及び電力損失を抑制するこ

とができる。

発明の効果

- [0009] 本発明による半導体装置では、複数の半導体素子に大きな電流が流れても過度の発熱が発生せずに、電気的特性の劣化を抑制して、寿命を延長し、信頼性のある半導体装置を得ることができる。

図面の簡単な説明

- [0010] [図1]樹脂封止体により被覆する前の状態を示す本発明の半導体装置の側面図
[図2]樹脂封止体により被覆した状態を示す本発明の半導体装置の平面図
[図3]従来のH型ブリッジ回路を示す回路図

符号の説明

- [0011] (1)・・第1の半導体装置(第1のトランジスタ)、(2)・・第2の半導体装置(第2のトランジスタ)、(3)・・第3の半導体装置(第3のトランジスタ)、(4)・・第4の半導体装置(第4のトランジスタ)、(5)・・支持板、(6)・・負荷、(7)・・第1のパワー半導体素子積層体、(8)・・第2のパワー半導体素子積層体、(10)・・H型ブリッジ回路、(11,12)・・放熱層、(13)・・制御回路、(14,15,16,17,18,19)・・ろう材(半田)、

発明を実施するための最良の形態

- [0012] 以下、図3に示すH型ブリッジ回路を構成する本発明による半導体装置の実施の形態を図1及び図2について説明する。図1及び図2では、図3に示す部分と同一の箇所には、同一の符号を付する。

- [0013] 第一の本発明による半導体装置は、放熱性を有する銅又はアルミニウム等の金属製の支持板(5)と、支持板(5)上に固着された第1の半導体素子積層体(第1のパワー半導体素子積層体)(7)と、支持板(5)上に固着された第2の半導体素子積層体(第2のパワー半導体素子積層体)(8)と、第1の半導体素子積層体(7)と第2の半導体素子積層体(8)との間で支持板(5)上に固着された半導体集積回路により構成された制御回路(13)とを備えている。第1の半導体素子積層体(7)は、支持板(5)上に順次積層されて固着された第1のトランジスタ(第1の半導体素子、第1のパワー半導体素子又は第1のスイッチング素子)(1)と第2のトランジスタ(第2の半導体素子、第2のパワー半

導体素子又は第2のスイッチング素子)(2)とを有し、第2の半導体素子積層体(8)は、支持板(5)上に順次積層されて固着された第3のトランジスタ(第3の半導体素子、第3のパワー半導体素子又は第3のスイッチング素子)(3)と第4のトランジスタ(第4の半導体素子、第4のパワー半導体素子又は第4のスイッチング素子)(4)とを有する。第1のトランジスタ(1)から第4のトランジスタ(4)までは、図3に示すH型ブリッジ回路(10)の4つのパワートランジスタを構成する例えば絶縁ゲート型バイポーラトランジスタ(IGBT)である。

- [0014] 図示しないが、第1のトランジスタ(1)から第4のトランジスタ(4)までは、半導体基板と、半導体基板の上面に電氣的に接続されたベース電極及びエミッタ電極と、半導体基板の下面に電氣的に接続されたコレクタ電極とを有する。エミッタ電極とベース電極との間に設けられる層間絶縁膜(9)により、エミッタ電極とベース電極とは電氣的に分離される。第1のトランジスタ(1)のコレクタ電極は、ろう材(半田)(14)を介して支持板(5)に固着され、第1のトランジスタ(1)のエミッタ電極は、ろう材(半田)(15)を介して第1の放熱層(11)に固着される。第2のトランジスタ(2)のコレクタ電極は、ろう材(16)を介して第1の放熱層(11)に固着され、第2のトランジスタ(2)のエミッタ電極は、最上部に配置される。同様に、第3のトランジスタ(3)のコレクタ電極は、ろう材(半田)(17)を介して支持板(5)に固着され、第3のトランジスタ(3)のエミッタ電極は、ろう材(半田)(18)を介して第2の放熱層(12)に固着される。第4のトランジスタ(4)のコレクタ電極は、ろう材(19)を介して第2の放熱層(12)に固着され、第4のトランジスタ(4)のエミッタ電極は、最上部に配置される。図示の実施の形態では、第1及び第2の放熱層(11,12)は、銅又はアルミニウム等の金属により形成された放熱板が使用され、主に第2のトランジスタ(2)と第4のトランジスタ(4)から発生する熱を外部に放出するヒートスプレッドとも呼ばれる。放熱板により形成する代わりに、比較的肉薄の半田層により放熱層(11,12)を形成してもよい。図2に示すように、第1のトランジスタ(1)から第4のトランジスタ(4)までの各エミッタ電極、コレクタ電極及びベース電極は、図3に示す回路構成に接続されると共に、第1の半導体素子積層体(7)、第2の半導体素子積層体(8)及び制御回路(13)の電極に接続された複数の外部リード(20)が接続され、樹脂封止体(21)により半導体装置全体が被覆されるが、外部リード(20)は樹脂封止体(21)から外部に導出される。

[0015] 動作の際に、支持板(5)は、図示しない直流電源の正側端子に接続され、第2のトランジスタ(2)と第4のトランジスタ(4)の各エミッタ電極は、直流電源の負側端子に接続される。第1のトランジスタ(1)から第4のトランジスタ(4)までの各ベース電極は、半導体集積回路により構成される制御回路(13)に接続され、制御回路(13)から制御信号を受信する。第1のトランジスタ(1)と第4のトランジスタ(4)がオンのとき、第2のトランジスタ(2)と第3のトランジスタ(3)とはオフとなり、負荷(6)に一方方向の電流(I1)が流れ、その後、第1のトランジスタ(1)と第4のトランジスタ(4)がオフに切り換えられ、第2のトランジスタ(2)と第3のトランジスタ(3)とがオンに切り換えられると、負荷(6)に他方向の電流(I2)が流れて、負荷(6)が交流電流により作動される。

[0016] 本実施の形態での半導体装置は、下記の点で従来の半導体装置と異なる。

〈1〉 ハイサイド側の第1のトランジスタ(1)と第3のトランジスタ(3)との上に、ローサイド側の第2のトランジスタ(2)と第4のトランジスタ(4)が固着されて第1及び第2の半導体素子積層体(7,8)が構成され、第1の半導体素子積層体(7)と第2の半導体素子積層体(8)の間に設けられる制御回路(13)とが単一の支持板(5)上に固着される。

〈2〉 第1のトランジスタ(1)と第2のトランジスタ(2)との間及び第3のトランジスタ(3)及び第4のトランジスタ(4)との間に金属製の第1及び第2の放熱層(11,12)が固着される。

〈3〉 第1のトランジスタ(1)及び第4のトランジスタ(4)と、第2のトランジスタ(2)及び第3のトランジスタ(3)とが交互にスイッチング動作される。

〈4〉 第1のトランジスタ(1)と第2のトランジスタ(2)との間及び第3のトランジスタ(3)と第4のトランジスタ(4)との間は、金属製の第1及び第2の放熱層(11,12)を介して電氣的に接続される。

[0017] 本実施の形態による半導体装置は、下記の作用効果を生ずる。

[1] 第1のトランジスタ(1)の上に第2のトランジスタ(2)を固着し又は第3のトランジスタ(3)の上に第4のトランジスタ(4)を固着することにより、支持板(5)の占有面積を減少しつつ集積度を向上することができると共に、第1のトランジスタ(1)と第2のトランジスタ(2)又は第3のトランジスタ(3)と第4のトランジスタ(4)とを交互にスイッチング動作させるので、第1のトランジスタ(1)から第4のトランジスタ(4)までの各々から発生する熱を十

分に放出して、第1の半導体素子積層体(7)又は第2の半導体素子積層体(8)の過度の温度上昇を防止することができる。

[2] 第1のトランジスタ(1)及び第4のトランジスタ(4)並びに第2のトランジスタ(2)及び第3のトランジスタ(3)のスイッチング素子(6)を交互にスイッチング動作させることにより、直流電源に接続されたH型ブリッジ回路(10)の負荷(6)を交流電流で駆動することができる。

[3] 大電流が流れる第1のトランジスタ(1)及び第2のトランジスタ(2)から多量の発熱が生じても、第1のトランジスタ(1)と第2のトランジスタ(2)との間に固着された第1の放熱層(11)を通じて十分な量の熱を放出できるので、第1のトランジスタ(1)と第2のトランジスタ(2)の電気的特性は劣化しない。

[4] 単一の支持板(5)上に第1のパワー半導体素子積層体(7)と第2のパワー半導体素子積層体(8)とを固着しても、第1のトランジスタ(1)と第2のトランジスタ(2)との間に固着される第1の放熱層(11)及び第3のトランジスタ(3)と第4のトランジスタ(4)との間に固着される第2の放熱層(12)を通じて十分な量の熱を放出できるので、第1のトランジスタ(1)から第4のトランジスタ(4)までの電気的特性は劣化しない。

[5] 第1のトランジスタ(1)と第2のトランジスタ(2)及び第3のトランジスタ(3)と第4のトランジスタ(4)とを第1及び第2の放熱層(11,12)を介して電気的に互いに接続するので、別途ワイヤボンディング等を行なう必要がなく、第1のパワー半導体素子積層体(7)と第2のパワー半導体素子積層体(8)とに流れる電流の結線経路を短縮して、ワイヤ結線等を簡素化し、電流の結線経路の延長によるノイズ発生及び電力損失を抑制することができる。

[0018] 本発明の前記実施の形態は、変更が可能である。例えば、絶縁ゲート型バイポーラトランジスタの代わりに、MOSFET又は一般的なバイポーラトランジスタを使用することができる。また、第1の半導体素子(1)から第4の半導体素子(4)までをトランジスタとして示したが、トランジスタ等のスイッチング素子と他の半導体素子を含む複合素子であってもよい。

産業上の利用可能性

[0019] 冷陰極蛍光放電管等の駆動装置に使用される半導体装置に適用することが可能

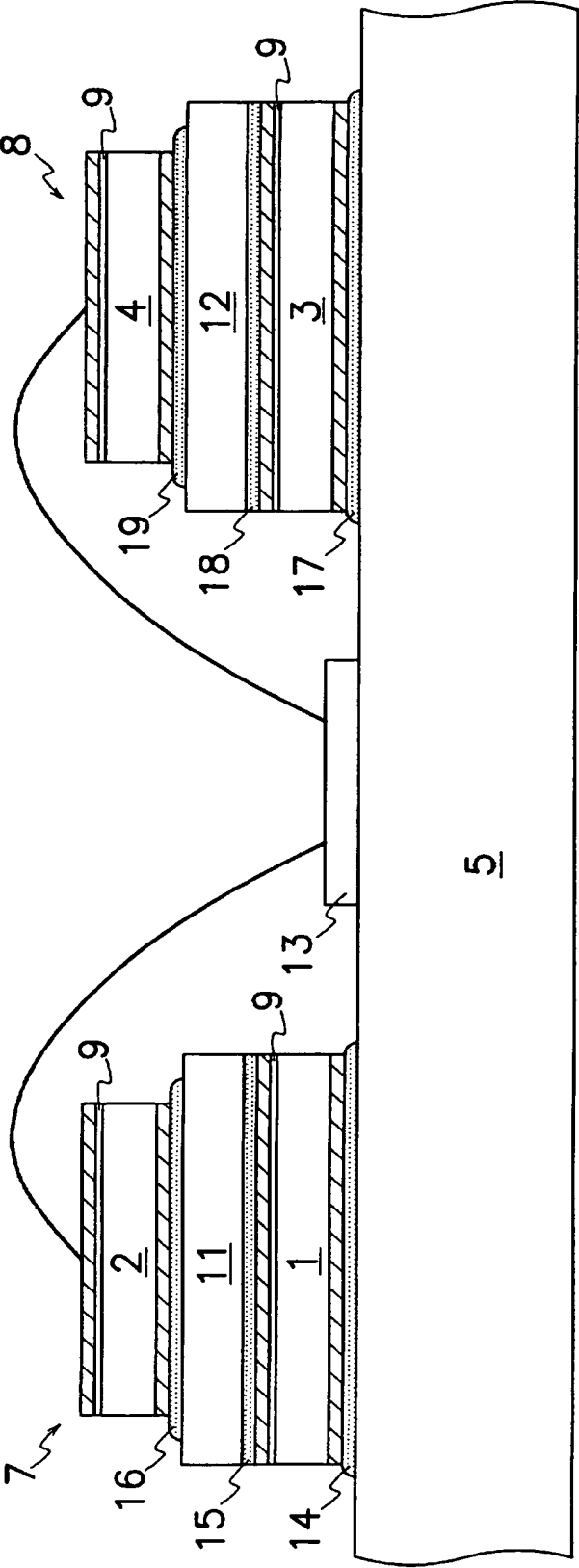
である。

請求の範囲

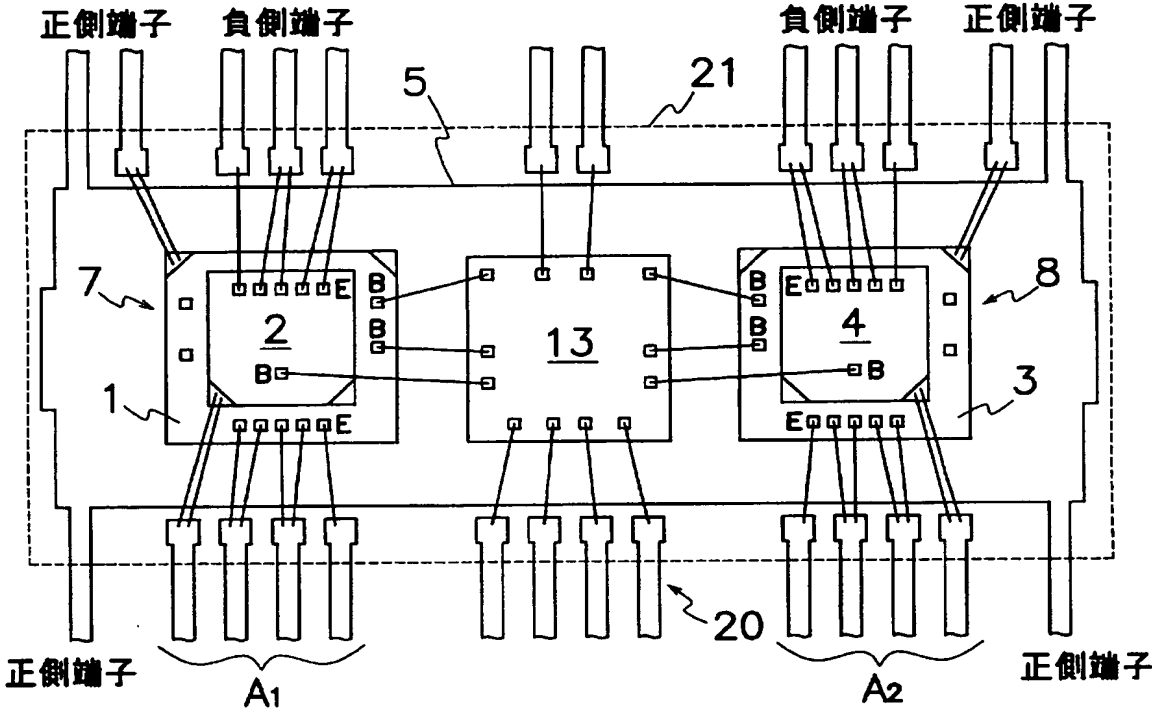
- [1] 放熱性を有する支持板と、該支持板上に順次積層されて固着され且つ交互にスイッチング動作される第1の半導体素子及び第2の半導体素子とを備えることを特徴とする半導体装置。
- [2] 前記第1の半導体素子と第2の半導体素子とをパワー半導体素子により構成し、前記第1の半導体素子と第2の半導体素子との間に放熱層を固着した請求項1に記載の半導体装置。
- [3] 前記放熱層を介して前記第1の半導体素子と前記第2の半導体素子とを電氣的に接続した請求項2に記載の半導体装置。
- [4] 放熱性を有する支持板と、該支持板上に順次積層されて固着された第1の半導体素子及び第2の半導体素子を有する第1の半導体素子積層体と、前記支持板上に順次積層されて固着された第3の半導体素子及び第4の半導体素子を有する第2の半導体素子積層体とを備え、
前記第1の半導体素子積層体の第1の半導体素子及び第2の半導体素子と、前記第2の半導体素子積層体の第3の半導体素子及び第4の半導体素子とは、H型ブリッジ回路を構成し、
前記第1の半導体素子から第4の半導体素子までの各々は、スイッチング素子を有し、
前記第1の半導体素子及び第4の半導体素子と前記第2の半導体素子及び第3の半導体素子とは交互にスイッチング動作されることを特徴とする半導体装置。
- [5] 前記第1の半導体素子積層体を構成する前記第1の半導体素子及び第2の半導体素子の一方並びに前記第2の半導体素子積層体を構成する前記第3の半導体素子及び第4の半導体素子の一方は、前記H型ブリッジ回路のハイサイド側スイッチを構成し、
前記第1の半導体素子積層体を構成する前記第1の半導体素子及び第2の半導体素子の他方並びに前記第2の半導体素子積層体を構成する前記第3の半導体素子及び第4の半導体素子の他方は、前記H型ブリッジ回路のローサイド側スイッチを構成する請求項4に記載の半導体装置。

- [6] 前記第1の半導体素子積層体を構成する前記第1の半導体素子と第2の半導体素子との間に第1の放熱層を固着し、前記第2の半導体素子積層体を構成する前記第3の半導体素子と第4の半導体素子との間に第2の放熱層を形成した請求項4又は5に記載の半導体装置。
- [7] 前記第1の半導体素子から前記第4の半導体素子までのスイッチング動作を制御する制御回路を前記支持板に固着した請求項4から6までの何れか1項に記載の半導体装置。
- [8] 放熱性を有する支持板と、該支持板上に順次積層されて固着されたパワー半導体素子により各々構成された第1の半導体素子及び第2の半導体素子とを備え、
該第1の半導体素子及び第2の半導体素子の各々はスイッチング素子を有し、
前記第1の半導体素子と第2の半導体素子との間に放熱層が形成され、
前記第1の半導体素子と第2の半導体素子とは、前記放熱層を介して電氣的に互いに接続されることを特徴とする半導体装置。
- [9] 放熱性を有する支持板と、
該支持板上に順次積層されて固着されたパワー半導体素子により各々構成される第1の半導体素子及び第2の半導体素子を有する第1のパワー半導体素子積層体と、
前記支持板上に順次積層されて固着されたパワー半導体素子により各々構成される第3の半導体素子及び第4の半導体素子を有する第2のパワー半導体素子積層体とを備え、
前記第1の半導体素子、第2の半導体素子、第3の半導体素子及び第4の半導体素子の各々はスイッチング素子を有し、
前記第1の半導体素子と第2の半導体素子との間に第1の放熱層が形成され、第3の半導体素子と第4の半導体素子との間に第2の放熱層が形成され、
前記第1の半導体素子と第2の半導体素子とは、前記第1の放熱層を介して電氣的に互いに接続され、
前記第3の半導体素子と第4の半導体素子とは、第2の放熱層を介して電氣的に互いに接続されることを特徴とする半導体装置。

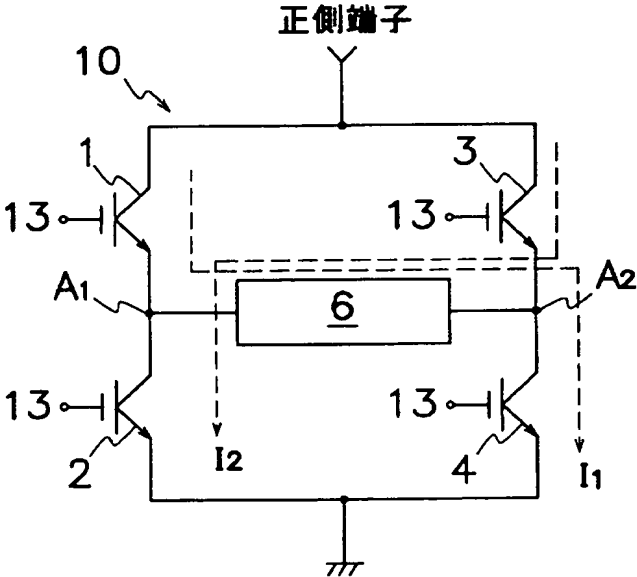
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007264

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L25/04, 23/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L25/00-25/14, 23/36-23/40, H05B41/14-41/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002

Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|--------------------|---|-------------------------|
| X Y <u>Y</u> | JP 2000-164800 A (Mitsubishi Electric Corp.), 16 June, 2000 (16.06.00), Column 8, line 12 to column, 9, line 7; Figs. 4, 5 & US 2002/0043708 A1 & EP 1006578 A2 | 1-3, 8, 9 <u>4-7</u> |
| Y | JP 2001-43985 A (Denso Corp.), 16 February, 2001 (16.02.01), Claims (Family: none) | 4-7 |
| Y | JP 9-213877 A (Toshiba Corp.), 15 August, 1997 (15.08.97), Claims (Family: none) | 7 |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 July, 2004 (27.07.04)Date of mailing of the international search report
10 August, 2004 (10.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L25/04, 23/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L25/00 - 25/14, 23/36 - 23/40, H05B41/14 - 41/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|------------------|
| X Y | JP 2000-164800 A (三菱電機株式会社) 2000. 06. 16, 第8欄第12行~第9欄第7行, 図4及び図5 & US 2002/0043708 A1 & EP 1006578 A2 | 1-3, 8, 9 4-7 |
| Y | JP 2001-43985 A (株式会社デンソー) 2001. 02. 16, 請求の範囲 (ファミリーなし) | 4-7 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

27. 07. 2004

国際調査報告の発送日

10. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4R

9539

電話番号 03-3581-1101 内線 3469

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | JP 9-213877 A (株式会社東芝) 1997. 08. 15, 請求の範囲 (ファミリーなし) | 7 |